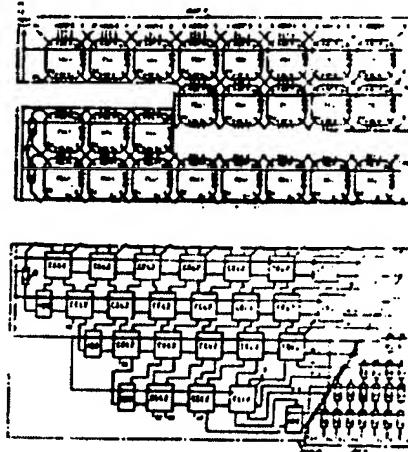


Systolic matrix multiplier for digital data processing

Publication number: FR2563349
Publication date: 1985-10-25
Inventor: JEAN-CLAUDE CARLAC H; SICRE JEAN-LUC
Applicant: FRANCE ETAT (FR)
Classification:
- International: G06F7/544; G06F17/15; G06F7/48; G06F17/15; (IPC1-7): G06F7/44
- European: G06F7/544A; G06F17/15C
Application number: FR19840006140 19840418
Priority number(s): FR19840006140 19840418

[Report a data error here](#)**Abstract of FR2563349**

The multiplier, useable especially for matrixing and dematrixing of digital video signals, makes it possible to carry out a numerical operation of the type $A \cdot X + B \cdot Y + C \cdot Z$. It comprises a first assembly MAT1 consisting of a systolic calculating matrix with $n \times n$ elementary cells (n being the number of coding bits) each carrying out an elementary matrix operation $A \cdot X + B \cdot Y + C \cdot Z$, feeding a second assembly intended for propagating carries and results of elementary calculations for obtaining high-significance bits, the second assembly MAT2 in turn feeding a third assembly consisting of a triangular matrix with n register lines for presentation of high-significant bits on corresponding outputs.



Data supplied from the **esp@cenet** database - Worldwide

(19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

(11) N° de publication :
(à utiliser que pour les
commandes de reproduction)

2 563 349

(21) N° d'enregistrement national :

84 06140

(51) Int Cl⁴ : G 06 F 7/44.

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 18 avril 1984.

(30) Priorité :

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 43 du 25 octobre 1985.

(60) Références à d'autres documents nationaux appartenants :

(71) Demandeur(s) : ETAT FRANÇAIS, représenté par le ministre des PTT (CENTRE NATIONAL D'ÉTUDES DES TELECOMMUNICATIONS) et ÉTABLISSEMENT PUBLIC DE DIFFUSION, dit « TELEDIFFUSION DE FRANCE ». — FR.

(72) Inventeur(s) : Jean-Claude Cariac'h et Jean-Luc Sicre.

(73) Titulaire(s) :

(74) Mandataire(s) : Cabinet Plasseraud.

(54) Multiplieur matriciel systolique de traitement de données numériques.

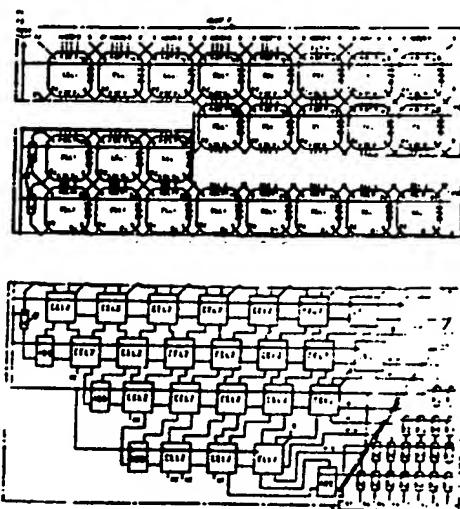
(57) Le multiplieur, utilisable notamment pour le matriçage et le dématrïçage de signaux vidéo numériques, permet de réaliser une opération numérique du type $A^*X + B^*Y + C^*Z$. Il comporte un premier ensemble MAT1 constitué d'une matrice de calcul systolique à $n \times n$ cellules élémentaires (n étant le nombre d'ems de codage) réalisant chacune une opération matricielle élémentaire $A^*X + B^*Y + C^*Z$, alimentant un second ensemble destiné à la propagation des retenues et des résultats des calculs élémentaires d'obtention des ems de poids fort, le second ensemble MAT2 alimentant à son tour un troisième ensemble constitué par une matrice triangulaire à n lignes de registres de présentation des ems de poids fort sur des sorties correspondantes.

A1

FR 2 563 349

D

Vente des fascicules à l'IMPRIMERIE NATIONALE, 27, rue de la Convention — 75732 PARIS CEDEX 15



Multiplicateur matriciel systolique de traitement de données numériques

L'invention a pour objet un multiplicateur matriciel systolique, permettant de réaliser de façon simple, 5 répétitive et rapide, une opération numérique de type :

$$A*X + B*Y + C*Z \quad (1)$$

où A, B et C sont des variables d'entrée et X, Y et Z sont des coefficients qui peuvent être figés ou au contraire programmables.

10 Un tel multiplicateur est utilisable pour traiter des données et des variables numériques codées sur un nombre d'éléments binaires (ebs ou bits) quelconque. Il trouve une application particulièrement importante dans le traitement de signaux numériques video, notamment 15 pour le matriçage et le dématriçage de tels signaux ; parmi les autres applications possibles, on peut citer le filtrage d'images en temps réel et l'extraction de contours. Il faut à ce sujet noter que l'opération réalisée peut avoir un nombre de termes supérieur à 20 trois et notamment être de la forme :

$$A*X + B*Y + C*Z + D*W.$$

On sait qu'un système systolique est ainsi dénommé du fait de l'analogie de son fonctionnement avec la distribution du sang sous la commande des battements du cœur. Un multiplicateur systolique permettant de réaliser l'opération numérique $A*X + B*Y + C*Z$ a été décrit par Kung dans "Why systolic architectures ?" - IEEE TRANSACTIONS ON COMPUTERS, Janvier 1982, numéro spécial sur le calcul en parallèle. Ce multiplicateur utilise trois 25 multiplicateurs dans trois cellules différentes. Il est donc très complexe. Il en est de même des combinaisons 30

de multiplicateurs numériques travaillant sur 8 et 16 ebs actuellement disponibles : la constitution d'un multiplicateur effectuant l'opération $A*X + B*Y + C*Z$ sur des données codées sur 8 ebs exige trois multiplicateurs et 5 deux additionneurs.

L'invention vise à fournir un multiplicateur matriciel systolique permettant de réaliser une opération du type $A*X + B*Y + C*Z$ à une rapidité compatible avec les exigences du traitement vidéo numérique, réalisable 10 de façon industrielle avec intégration sur microplaquette de silicium, à un coût plus faible que par association de composants standard et avec une dissipation de puissance moindre.

Pour cela, l'invention propose un multiplicateur 15 qui, loin de se borner à juxtaposer des circuits existants, associe suivant une approche originale et de façon répétitive des cellules unitaires simples, aisément réalisables en technologie N-MOS à longueur de canal faible (typiquement 3 μm) permettant d'atteindre 20 une fréquence d'environ 20 MHz, dans lesquelles la méthode systolique est mise en oeuvre au niveau de l'élément binaire.

Le multiplicateur comporte un premier ensemble constitué d'une matrice de calcul systolique à $n \times n$ 25 cellules élémentaires (n étant le nombre d'ebs de codage) réalisant chacune une opération matricielle élémentaire $A*X + B*Y + C*Z$, alimentant un second ensemble destiné à la propagation des retenues et des résultats des calculs élémentaires d'obtention des ebs 30 de poids fort ; ce second ensemble alimente à son tour un troisième ensemble constitué par une matrice triangulaire à n lignes de registres de présentation des ebs de poids fort sur des sorties correspondantes.

Les registres, qui constituent l'élément de base 35 d'une telle architecture, apportent un avantage important : ils peuvent être conçus pour autoriser un test du

multiplieur par chargement en série de tous les registres puis déchargement identique après un cycle de l'horloge qui les commande.

L'invention sera mieux comprise à la lecture de 5 la description qui suit de modes particuliers d'exécution donnés à titre d'exemples non limitatifs. La description se réfère aux dessins qui l'accompagnent, dans lesquels :

- les Figures 1A et 1B dans leur ensemble sont 10 un schéma fonctionnel général d'un multiplieur suivant l'invention permettant de traiter des variables et des coefficients codés sur 8 ebs ;
- la Figure 2 est un schéma fonctionnel interne d'une cellule de base, désignée par CELL1, du premier ensemble du multiplieur ; 15
- les Figures 3, 4 et 5 sont des schémas fonctionnels de cellules élémentaires CEL 2, ADD et RG du second ensemble du multiplieur ;
- la Figure 6 est un schéma électrique de la 20 cellule RG de la Figure 5.

Le multiplieur montré en Figure 1 peut être regardé comme constitué de trois ensembles MAT 1, RET 2 et RG 3.

Le premier ensemble MAT 1 reçoit en parallèle, à 25 partir d'un bus à 24 fils, les trois variables A, B et C sur des entrées identifiées par A0, B0, C0,... A7, B7, C7. Il reçoit également les coefficients constants à partir de 24 fils de programmation selon le même format que les variables. Cet ensemble MAT 1 est constitué 30 d'une matrice à 8 lignes et 8 colonnes de cellules élémentaires CELL1(i,j), où i et j varient de 0 à 7, à laquelle sont ajoutés (sur la gauche de la Figure) huit registres 8.

L'ensemble MAT 1 est une partie essentielle du 35 multiplieur. Il constitue une matrice de calcul systolique dont chaque cellule CELL1(i,j) réalise une opér-

tion matricielle élémentaire dont on pourra trouver une description complète dans la publication de CARLAC'H et autres "Description préliminaire des circuits intégrés de matriçage et de dématriçage de signaux vidéo-numériques", document du C.C.E.T.T. NT/CNR/VRE/29/83 de Juin 1983.

La cellule élémentaire réalise les trois multiplications en parallèle. On supposera qu'elle traite des nombres binaires codés en complément à 2. Elle peut alors avoir la constitution montrée en Figure 2. La cellule comporte des registres dynamiques élémentaires 10 montés en série et qui peuvent être du type décrit plus loin en faisant référence aux Figures 5 et 6. Les sorties des registres attaquent un jeu de trois additionneurs à retenue 12, 14 et 16, désignés par ADD3, et un additionneur simple 18, désigné par ADD2, par l'intermédiaire d'un jeu de portes. Les entrées et sorties sont désignées sur la Figure 2 par les mêmes symboles que sur la Figure 1, mais affectés d'indices indiquant la cellule d'origine ou de destination.

Des entrées "TEST" sont prévues sur les registres 10, comme sur tous les autres registres RG du multiplicateur. Ces entrées sont portées au niveau logique 0 lorsque le multiplicateur doit fonctionner en mode de calcul. Dans ce cas, la relation combinatoire entre les entrées de données et les sorties S est la suivante pour la cellule CELL(i,j) :

$$S(i+1,j-1) + A(i,j-1)*X(i) + B(i,j-1)*Y(i) + \\ 30 \quad C(i,j-1)*Z(i) + R1(i,j-1) + R2(i-1,j-1) = R2(i,j)2^2 \\ + R1(i,j)2^1 + S(i,j)2^0.$$

Les notations sont celles indiquées sur la Figure 2 et toutes les données appliquées à une même cellule appartiennent à l'ensemble 0,1 .

Le second ensemble RET 2 a pour fonction de

terminer la propagation des retenues et les résultats des calculs intermédiaires pour l'obtention des ebs de poids fort (MSB). Il est constitué de vingt-deux cellules élémentaires CEL2 (Figure 3), groupées en une 5 matrice triangulaire de 8 colonnes et 4 lignes, associées à quatre additionneurs simples ADD (Figure 4) et à un registre RG (Figure 5).

Chaque cellule courante CEL2(*i,j*) peut avoir la 10 constitution montrée en Figure 3, où les entrées et sorties sont encore désignées par les mêmes notations que sur les Figures précédentes, affectées d'indices indiquant l'origine ou la destination. Elle se compose de registres dynamiques 20 montés en cascade, d'un additionneur simple 22 et d'un additionneur à retenue 24.

15 De même, chaque cellule ADD (Figure 4) peut être constituée de deux registres dynamiques 26 en cascade dont les sorties attaquent un sommateur 28 fournissant le signal de sortie, dirigé vers la première cellule CEL2 d'une ligne (pour quatre des cellules ADD), four- 20 nissant le dernier élément binaire de poids fort 57 du résultat (pour la dernière cellule ADD).

Enfin, le registre RG a une constitution qu'on 25 peut retrouver dans les registres du troisième ensemble RG3. Du point de vue fonctionnel (Figure 5), il peut être considéré comme constitué d'inverseurs 30 reliés par des interrupteurs commandés par des horloges de cadencement non recouvrantes à l'état haut (indiquées par F1 et F2) et le signal de test. Il peut avoir la 30 constitution électrique montrée en Figure 6 où les entrées-sorties portent les mêmes références que sur la Figure 5.

Enfin, le troisième ensemble RG3 est destiné à fournir les ebs de poids fort du résultat sur des sorties 50-56. Il est constitué d'une matrice triangulaire à 7 lignes et 4 colonnes de dix-neuf registres RG qui peuvent être identiques à ceux montrés par les 35

Figures 5 et 6. Les registres RG sont commandés par les mêmes horloges que les registres des cellules déjà décrites. Ils permettent le fonctionnement systolique du multiplicateur.

5 Le rôle des composants apparaîtra mieux en considérant le fonctionnement global du multiplicateur, qui sera maintenant évoqué.

Les huit cellules d'entrée $CELL(0,i)$ qui reçoivent chacune trois ebs de poids identiques A_i, B_i, C_i des variables d'entrée, traitent ces ebs au niveau haut de l'horloge F_1 qui suit la présence des ebs sur le bus d'entrée.

10 Les trois entrées de coefficient de chaque cellule $CELL(i,j)$ (entrées horizontales sur la Figure 1) reçoivent les coefficients selon le même format que les variables, c'est-à-dire le triplet X_i, Y_i, Z_i des ebs de même poids pour toutes les cellules d'une même colonne i . En d'autres termes, les cellules $CELL(0,i)$ à $CELL(7,i)$ reçoivent les mêmes ebs X_i, Y_i, Z_i .

15 20 A chaque niveau haut de l'horloge F_1 , un nouveau triplet de variables numériques A, B, C est introduit dans la première ligne de cellule $CELL(0,i)$. Les résultats partiels se propagent dans le multiplicateur au rythme du signal d'horloge. La traversée synchrone des treize étages successifs est assurée par les registres RG commandés par la double horloge F_1 et F_2 ne présentant pas de recouvrement à l'état haut.

25 30 A chaque cycle d'horloge, après traversée de tous les étages, les résultats de l'opération $A*X + B*Y + C*Z$ sont présents sur les fils de sortie S_0 à S_7 (Figure 1). Les sorties P_0 à P_9 qui représentent les poids faibles du résultat sur 17 ebs ne sont pas prises en compte dans le cas montré en Figure 1. Elles pourraient l'être en augmentant la taille de l'ensemble RG3.

35 L'opération logique est donc effectuée en 13

cycles d'horloge pour des données (variables et coefficients codées sur 8 ebs. Il s'y ajoute le cycle d'horloge de l'étage de sortie du circuit intégré.

5 En mode "calcul" (traitement continu de données numériques), tout se passe comme si l'opérateur effectuait un calcul à chaque cycle d'horloge.

Il peut être utile à ce stade de faire apparaître le fonctionnement de chaque cellule élémentaire CELL(i,j) en mode "calcul" et en mode "test".

10 En mode calcul (Figure 2), lorsque l'entrée "test" est au niveau logique zéro, les entrées de données de la cellule d'ordre (i,j) :

```

S(i+1, j-1)
R1(i, j-1)
15 A (i, j-1)
B (i, j-1)
C (i, j-1)
R2(i-1, j-1)

```

sont chargées dans les registres 10 lorsque l'entrée 20 d'horloge F1 est à 1, l'entrée F2 étant alors à 0. Chaque registre 10 continue à mémoriser dans sa partie escale la valeur binaire de l'entrée quand F1 repasse à 0 et que F2 reste à 0. Les sorties des registres 10 prennent les valeurs des entrées précédemment chargées 25 quand l'horloge F2 passe à 1 et que F1 reste à 0. Les sorties sont alors calculées dans le réseau combinatoire constituée des quatre additionneurs 12, 14, 16 et 18.

Cette découpe fonctionnelle du réseau combinatoire est optimale du point de vue de la minimisation de 30 la consommation en courant et de la minimisation de la surface de la cellule intégrée sur semiconducteur. La cellule CELL assure néanmoins une rapidité compatible avec la fréquence de 20 MHz des horloges biphasées (F1, F2) non recouvrantes à l'état 1.

Comme on l'a déjà indiqué plus haut, il est important du point de vue de l'industrialisation que le multiplicateur puisse être complètement testé de façon simple. Ce résultat est atteint, dans l'invention, en 5 prévoyant une entrée de test qui permet, lorsqu'elle est mise au niveau logique 1, de modifier le sens des transferts d'information dans les cellules.

Lorsque l'entrée TEST est à zéro, tous les registres RG sont connectés en parallèle (mode de calcul). Lorsque l'entrée TEST est à 1, tous les registres RG sont connectés en série, ce qui permet :

- de charger tous les registres RG avec l'entrée marquée "Entrée série", après des décalages commandés par (F1, F2). Le contenu des registres RG est donc observable à la sortie "Sortie série" de la cellule, ce 15 qui rend le test des registres RG très simple, exhaustif et rapide,

- de positionner les sorties des registres RG afin de présenter tous les cas possibles de configurations des entrées logiques du réseau d'additionneurs. 20

Après chargement dans les registres des cellules suivantes, les résultats logiques du réseau d'additionneurs sont observables sur la sortie "Sortie série", après des décalages commandés par (F1, F2). Le test de la cellule 25 pour vérifier qu'elle assume la fonction combinatoire requise est donc également simple, exhaustif et rapide.

L'invention est susceptible de nombreuses variantes et peut s'étendre à la réalisation d'un opérateur à plus de trois termes et au traitement de données 30 numériques codées sur un nombre d'ebn quelconque.

Il faut remarquer à ce sujet que l'augmentation de trois à quatre du nombre de termes n'accroît ni la taille, ni la complexité du schéma global. On passe à l'opérateur à quatre termes :

par une modification mineure de l'additionneur 18 à deux entrées (Figure 2) pour le transformer en un additionneur à trois entrées et conduire la cellule élémentaire à remplir la relation combinatoire :

$$5 \quad S(i+j, j-1); + A(i, j-1)*X(1) + B(i, j-1)*Y(i) + \\ C(i, j-1)*Z(i) + D(i, j-1)*W(j) + R1(i, j-1) + R2(i-1, j-1) \\ = R2(i, j)2^2 + R1(i, j)2^1 + S(i, j)2^0$$

Quant à l'augmentation du nombre d'ebs de codage, elle conduit à modifier uniquement la taille, et non la structure, du multiplicateur. Le temps de calcul instantané n'est pas modifié : seul le nombre de cycles d'horloge nécessaire au calcul complet varie avec la taille de l'opérateur.

15 L'implantation du multiplicateur en technologie N.MOS sur silicium en un seul circuit intégré peut se faire sans difficulté et on notera l'avantage que représente le fait que les connexions aient lieu entre celles mitoyennes.

REVENDICATIONS

1. Multiplieur matriciel systolique permettant de réaliser une opération numérique du type :

$$A*X + B*Y + C*Z$$

5 caractérisé en ce qu'il comporte un premier ensemble (MAT1) constitué d'une matrice de calcul systolique à $n \times n$ cellules élémentaires (n étant le nombre d'ebs de codage) réalisant chacune une opération matricielle élémentaire $A*X + B*Y + C*Z$, alimentant un second ensemble destiné à la propagation des retenues et des résultats des calculs élémentaires d'obtention des ebs de poids fort, le second ensemble (MAT2) alimentant à son tour un troisième ensemble constitué par une matrice triangulaire à n lignes de registres de présentation des ebs de poids fort sur des sorties correspondantes.

10 2. Multiplieur matriciel systolique suivant la revendication 1, caractérisé en ce que chaque cellule (CELL1) du premier ensemble comporte des registres dynamiques (10) connectables en série ou en parallèle, dont 15 les sorties attaquent quatre additionneurs.

20 3. Multiplieur matriciel systolique suivant la revendication 1 ou 2, caractérisé en ce que le second ensemble (MAT2) est constitué par une matrice triangulaire à n colonnes de cellules élémentaires (CEL2) 25 associées à des additionneurs simples (ADD) et à un registre dynamique.

30 4. Multiplieur matriciel systolique suivant la revendication 3, caractérisé en ce que chaque cellule (CEL2) du second ensemble se compose de registres dynamiques (20) montés en cascade, d'un additionneur à deux entrées (22) et d'un additionneur à trois entrées (24).

35 5. Multiplieur matriciel suivant l'une quelconque des revendications 1 à 4, caractérisé en ce que le troisième ensemble (RG3) est constitué d'une matrice triangulaire à $n-1$ colonnes de registres commandés, en même temps que les autres registres du multiplieur par

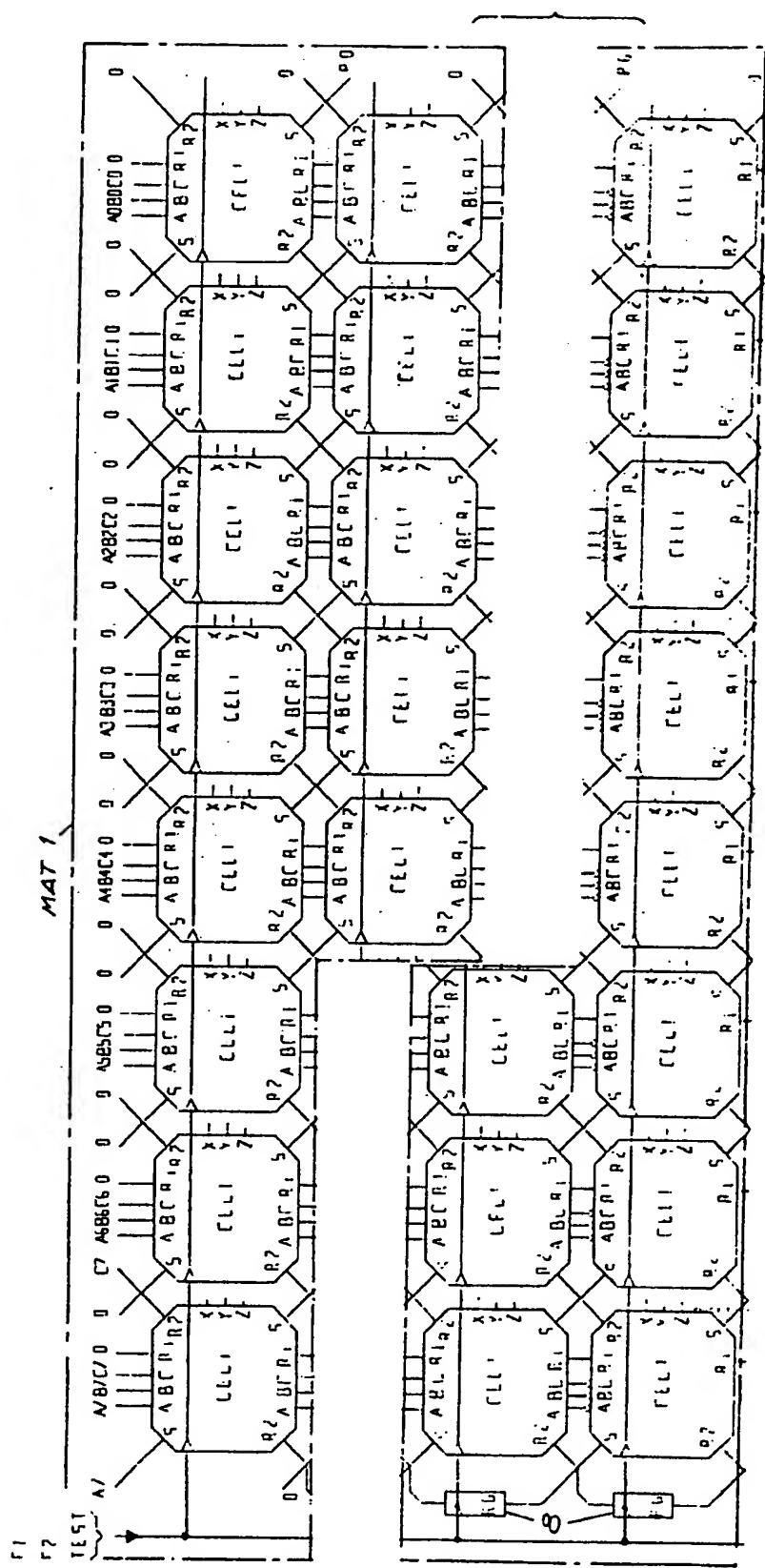
deux horloges synchrones de cadencement non recouvrantes à l'état haut, permettant le fonctionnement systolique et formant les ebs de poids fort du résultat.

6. Multiplieur matriciel suivant l'une quelconque des revendications 2 à 5, caractérisé en ce que tous les registres sont munis d'une entrée de test permettant de modifier les transferts d'information dans les cellules.

7. Multiplieur matriciel suivant l'une quelconque des revendications précédentes, caractérisé en ce que chaque cellule élémentaire (CELL) du premier ensemble est prévue pour réaliser entre ses entrées E et ses sorties S la relation combinatoire :

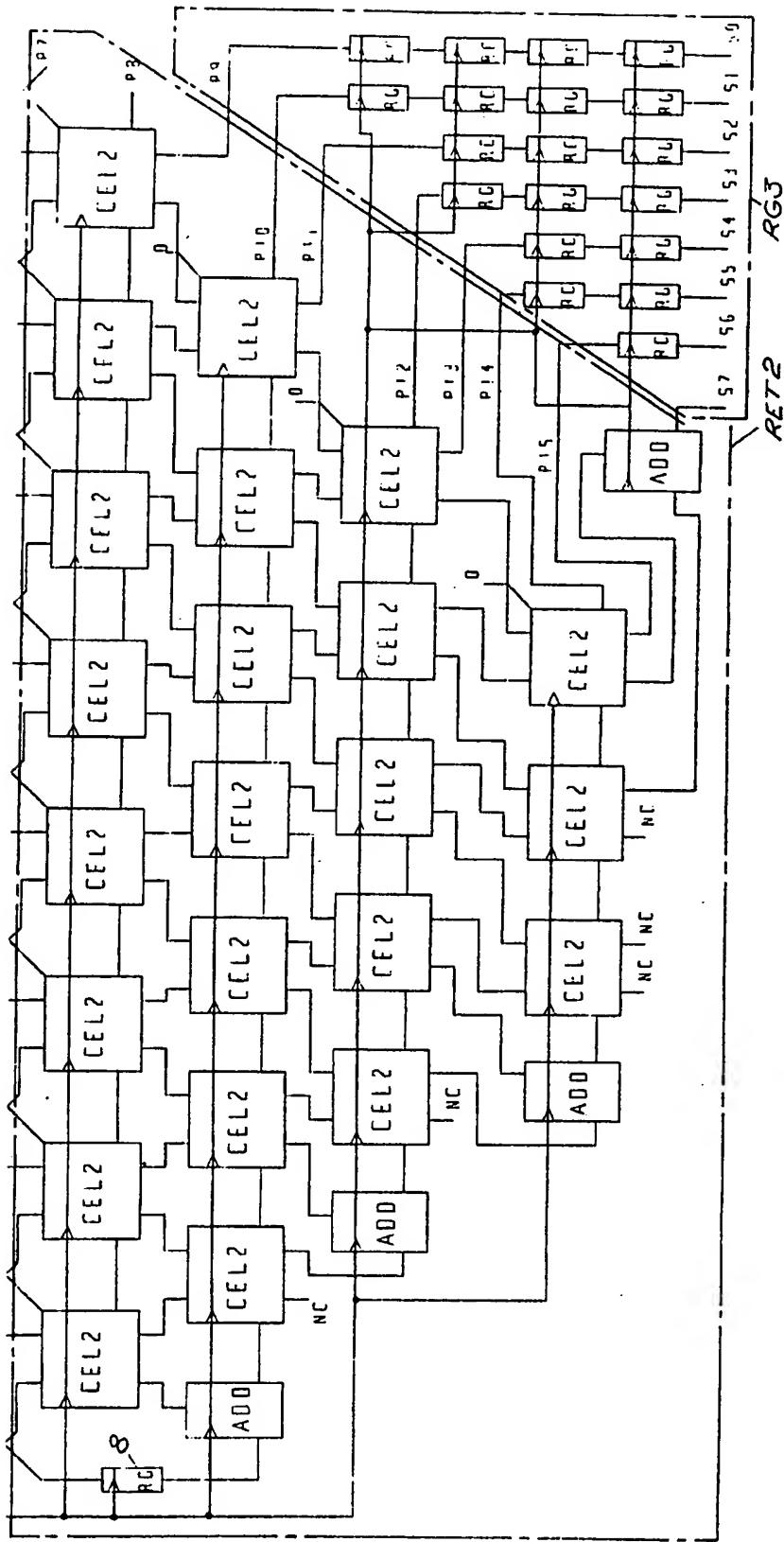
$$S(i+1, j-1) + A(i, j-1)*X(i) + B(i, j-1)*Y(i) + \\ C(i, j-1)*Z(i) + R1(i, J-1) + R2(i-1, j-1) = R2(i, j)2^2 \\ + R1(i, j)2^1 + S(i, j)2^0$$

2563349

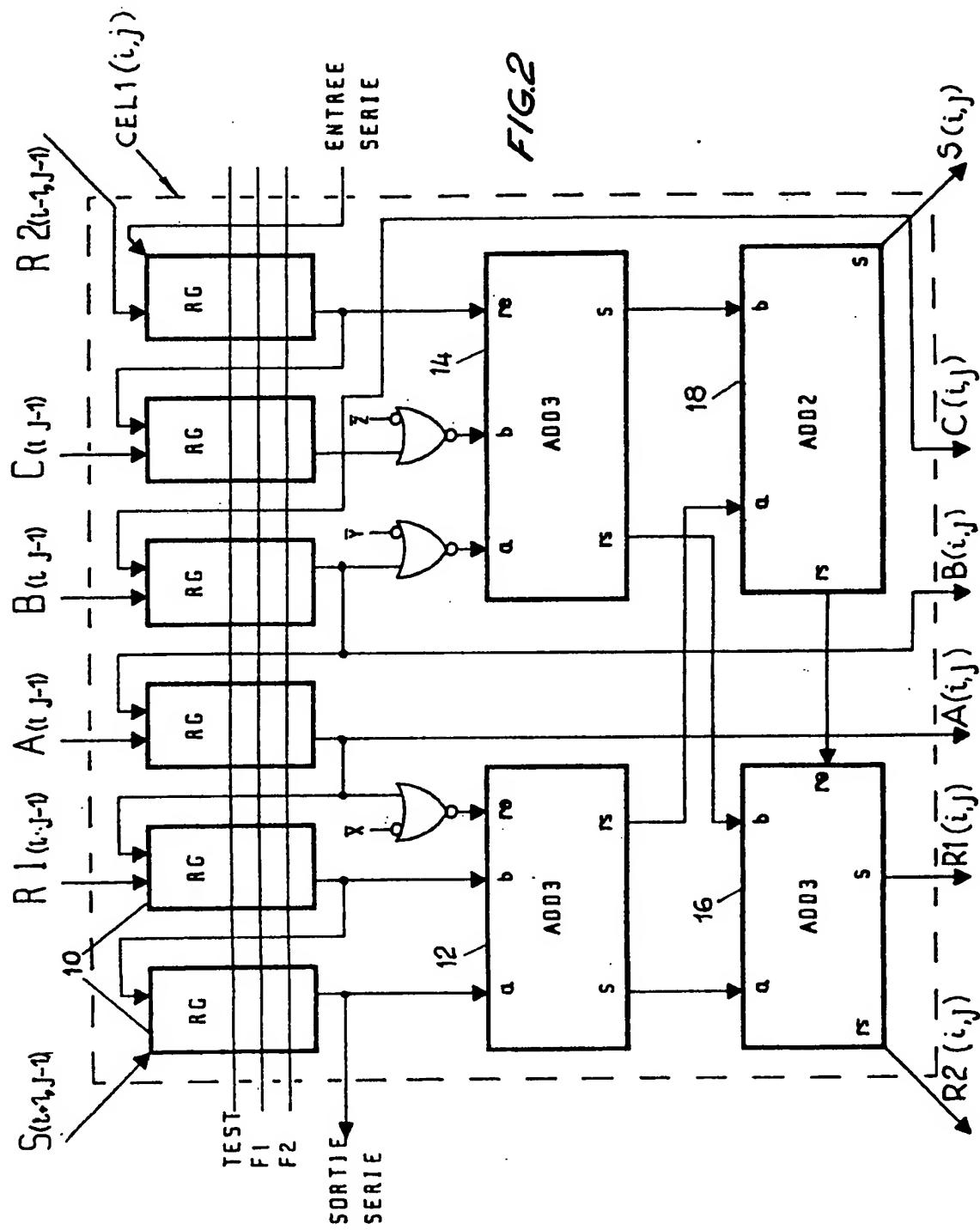


2563349

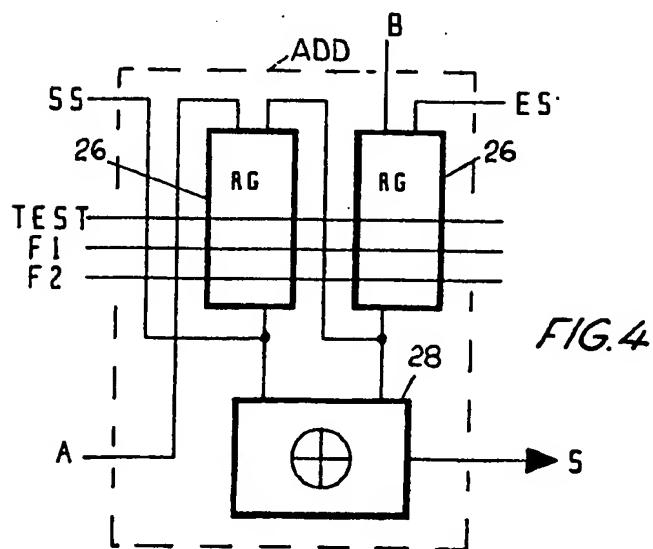
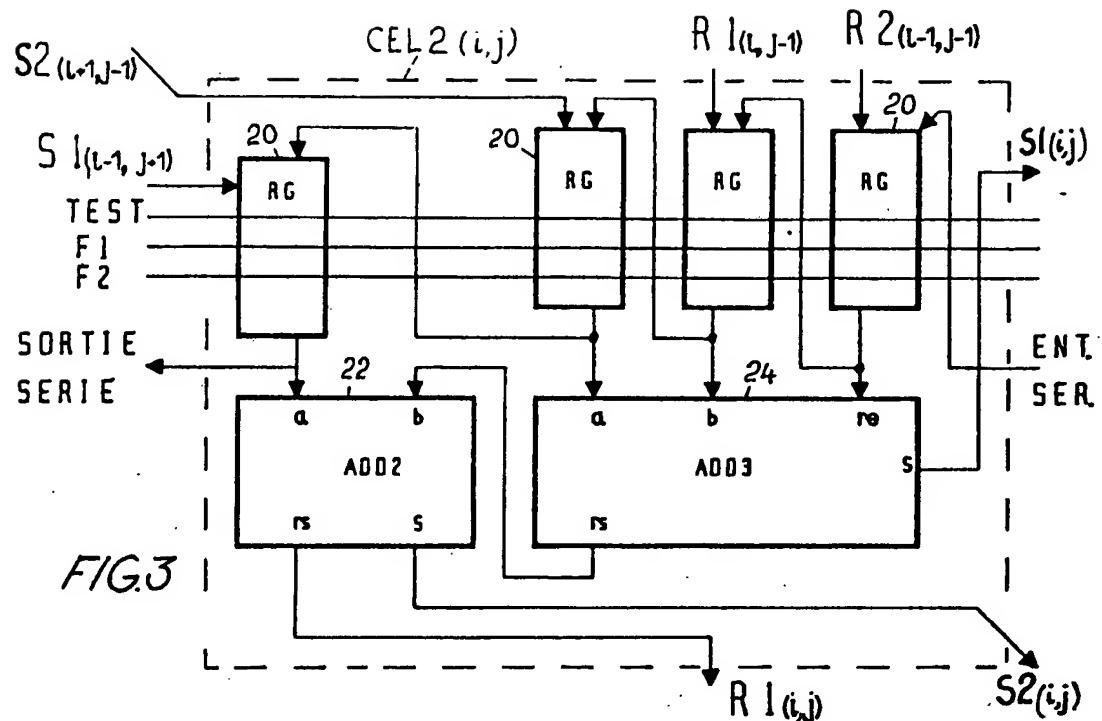
F/G. 1B



2563349



2563349



2563349

